**Implementación de la arquitectura del hardware**

1. Se procede con la creación de un nuevo proyecto en el programa Quartus.

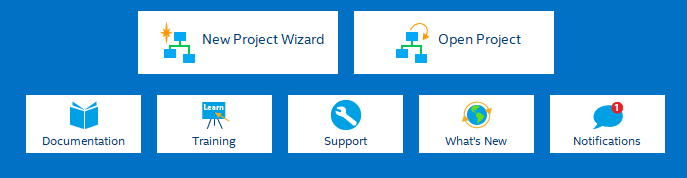


Ilustración 1: Creación de proyecto

1. Se procede a escoger la familia a la que pertenece la DE10 Standard y el dispositivo que permitirá la interacción y se finaliza la creación del proyecto.

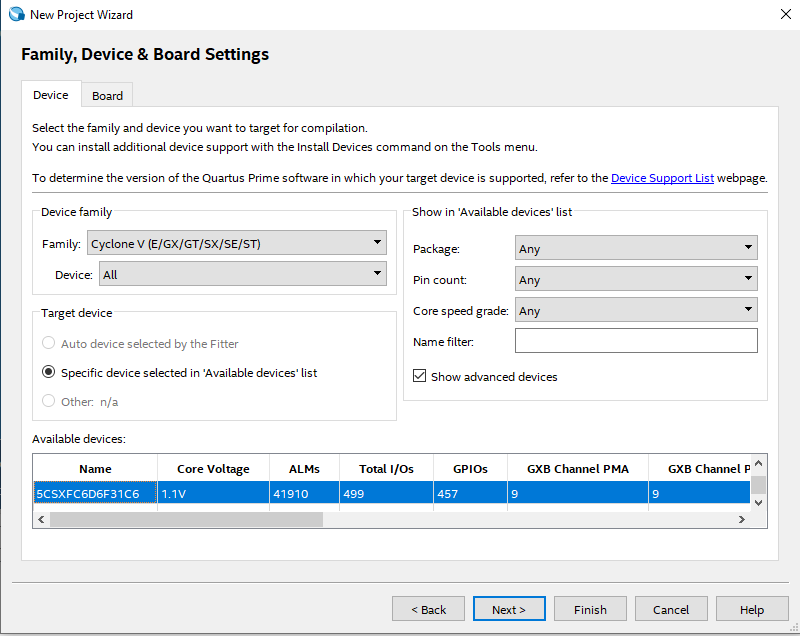


Ilustración 2: Selección de familia y dispositivo

1. Se hace uso de la herramienta Qsys para poder comenzar con la arquitectura del proyecto.

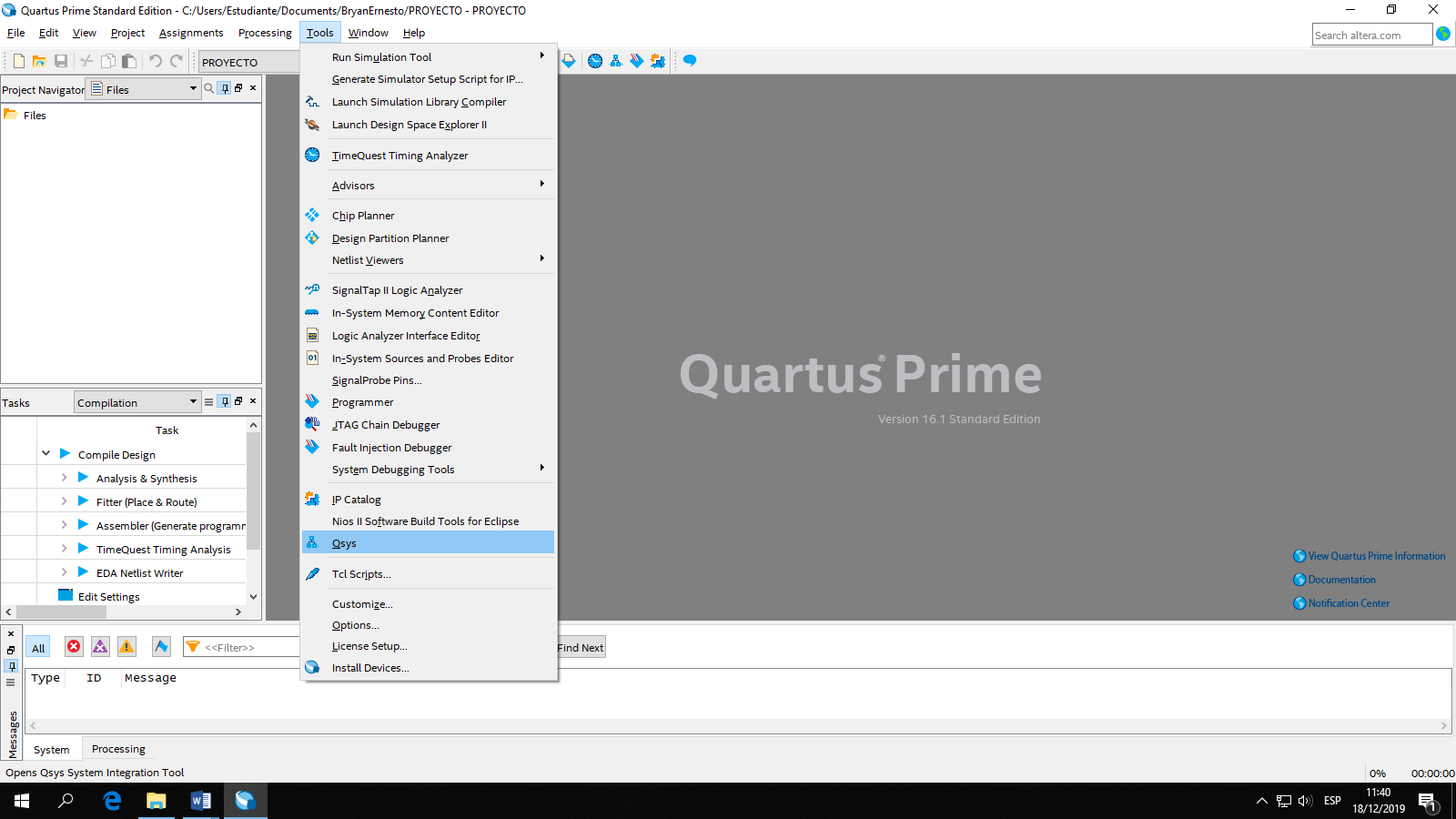


Ilustración 3:Qsys

1. Se proceden a crear cada uno de los bloques necesarios para el funcionamiento del proyecto:
   1. Timer
   2. Procesador NIOS II
   3. Controlador ADC
   4. On-chip Ram
   5. System ID
   6. Controlador SDRAM
   7. PLL

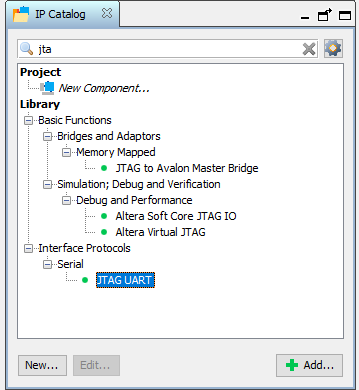


Ilustración 4: Creación del JTAG UART

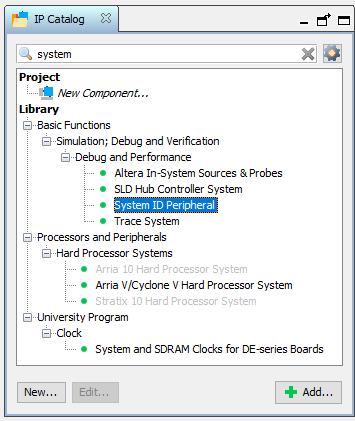


Ilustración 5: Creación de sistema ID

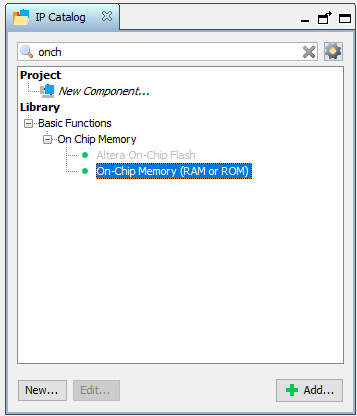


Ilustración 6: Creación de SRAM

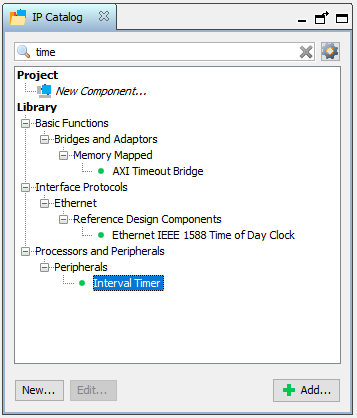


Ilustración 7: Creación de timer

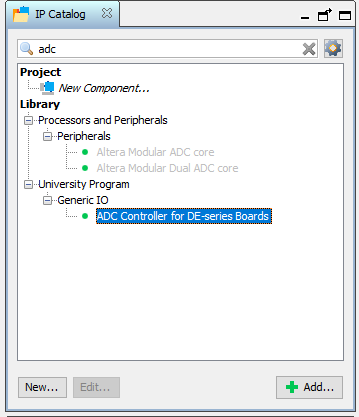


Ilustración 8: Creación del controlador ADC

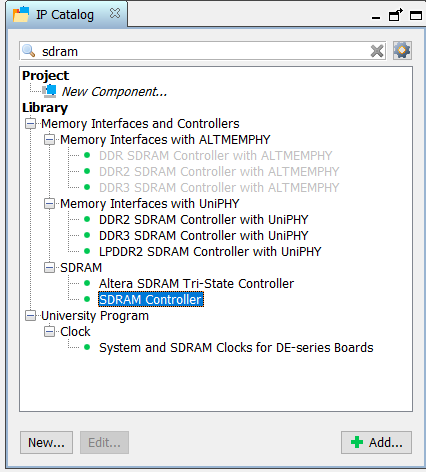


Ilustración 9: Creación del controlado SDRAM

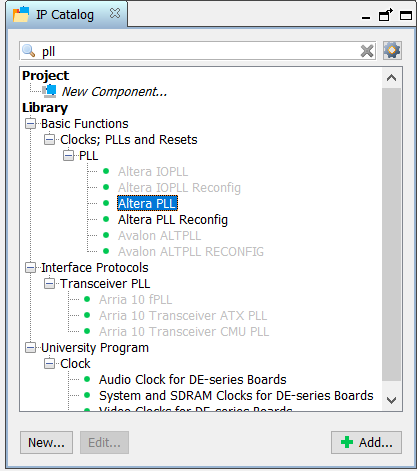


Ilustración 10: Creación de PLL

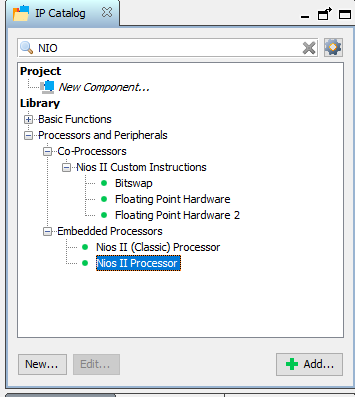


Ilustración 11: Creación de bloque del procesador

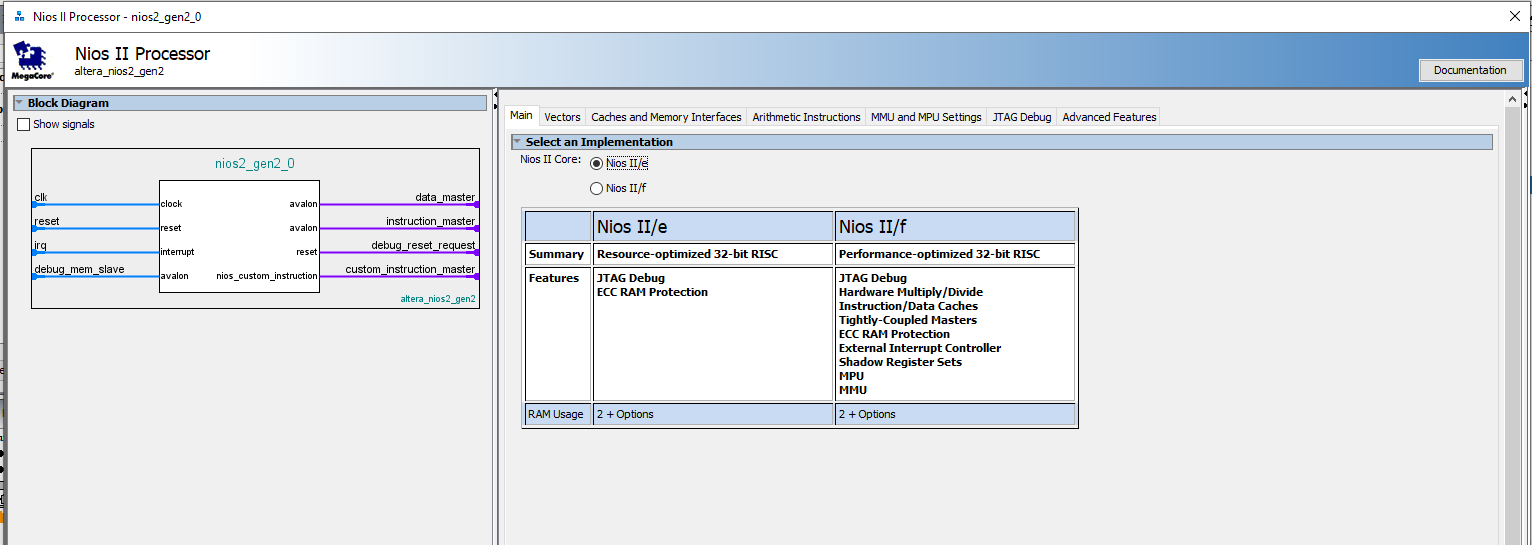


Ilustración 12: Selección de Core

1. Es necesario realizar la creación de dos procesadores para que realicen los trabajos de forma independiente.

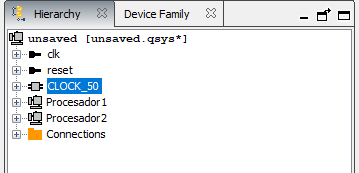


Ilustración 13: Creación de procesadores

1. Se realiza a creación de las conexiones de cada uno de los reset en los bloques.

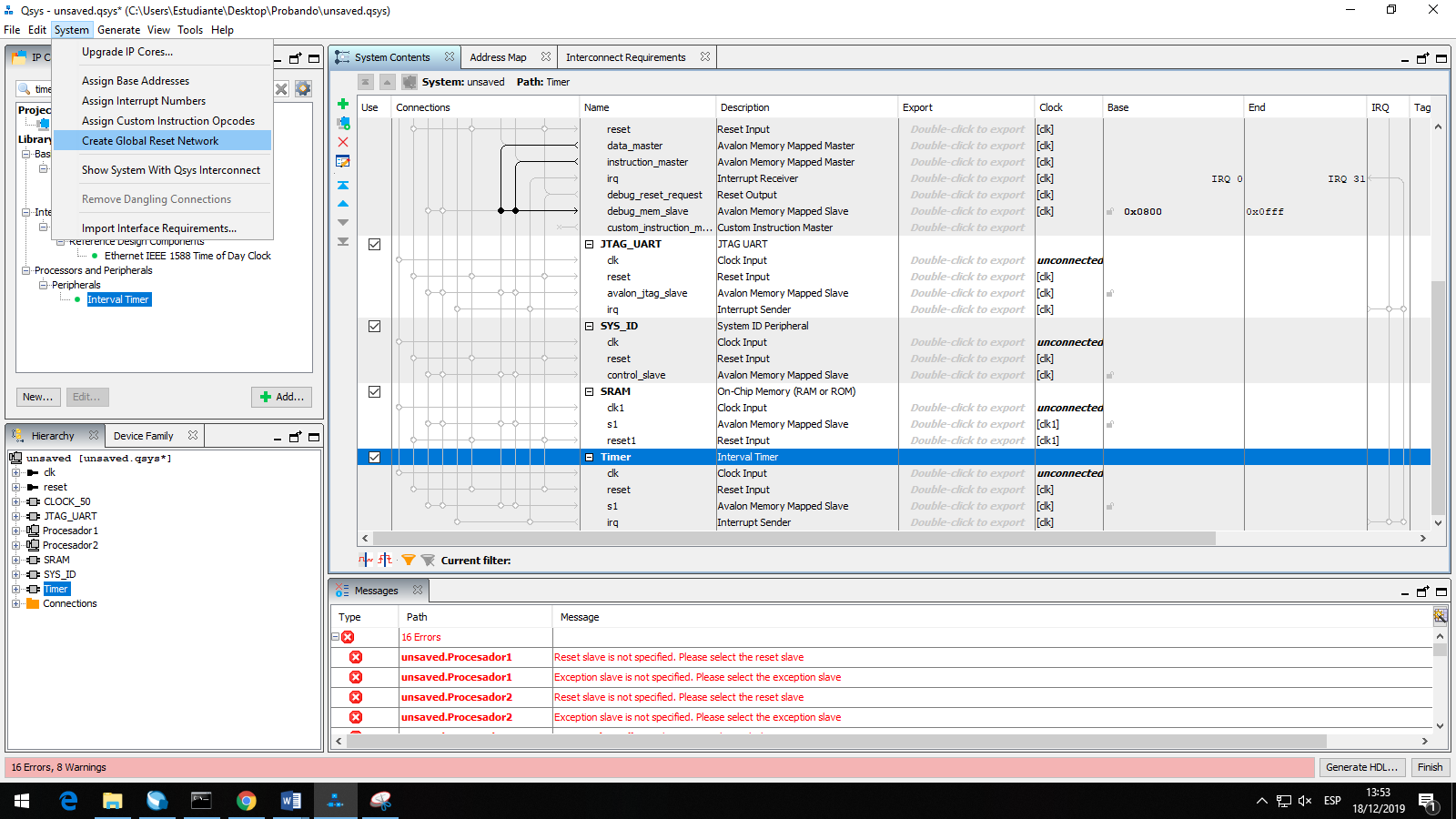


Ilustración 14: Creación de conexiones automáticas

1. Se establece por defecto conexiones a través de un sistema automático.

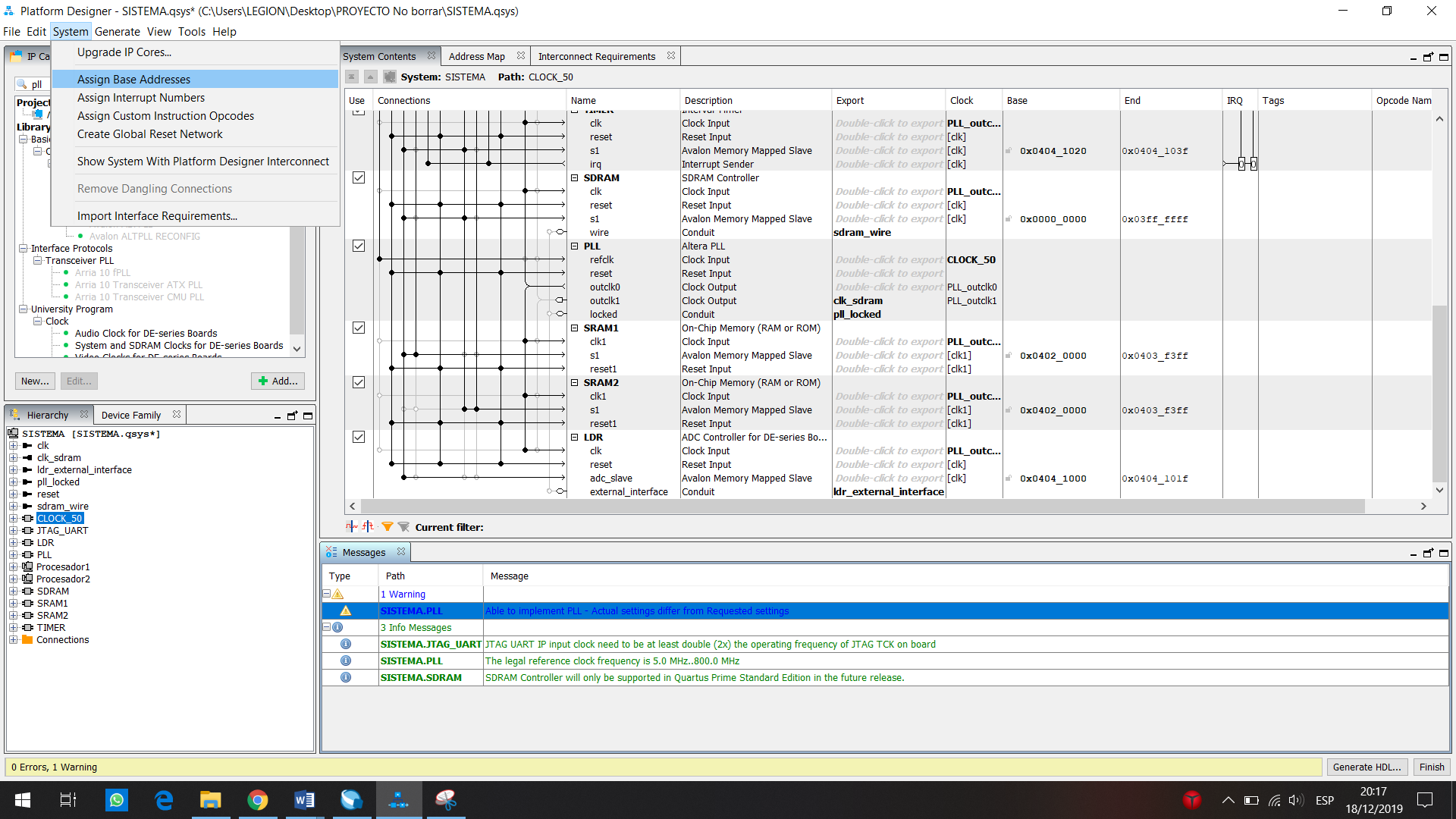


Ilustración 15: Estableciendo conexiones

1. Se procede a realizar las conexiones de los procesadores con cada uno de los bloques

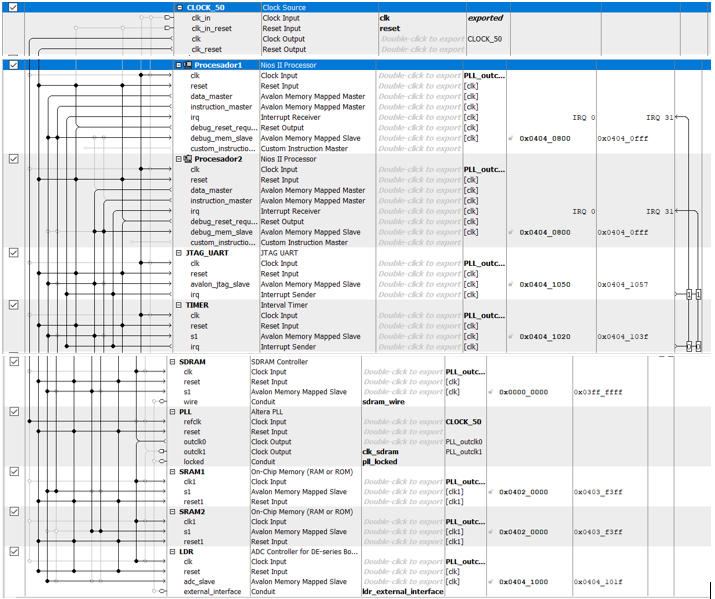


Ilustración 16: Conexiones de los bloques

1. Se genera el archivo HDL para luego la creación del archivo de eclipse.

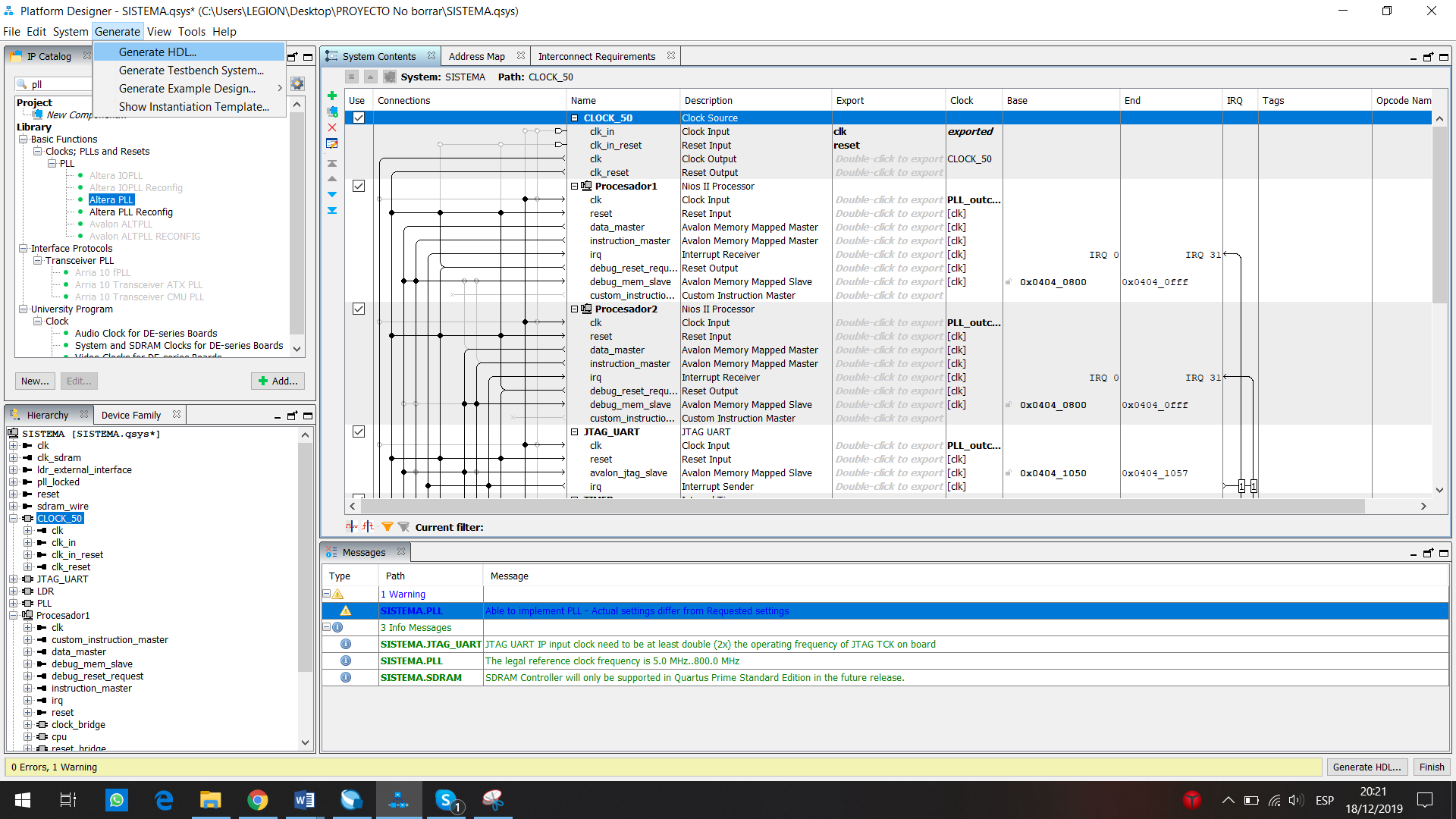


Ilustración 17: Se genera archivo HDL

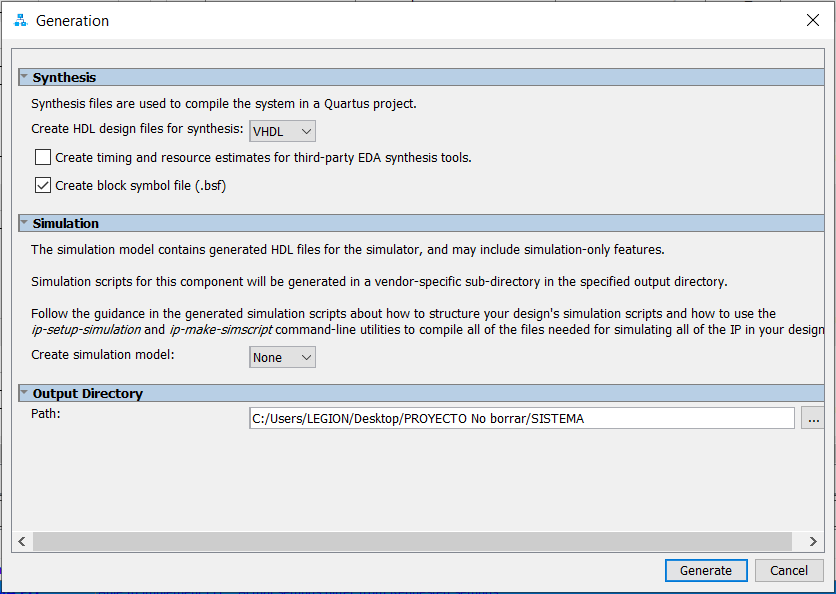


Ilustración 18: Se genera el archivo

1. Se procede a la compilación del sistema creado y para esto es necesario establecer como prioridad al archivo Qsys, para luego conectar la tarjeta embebida.

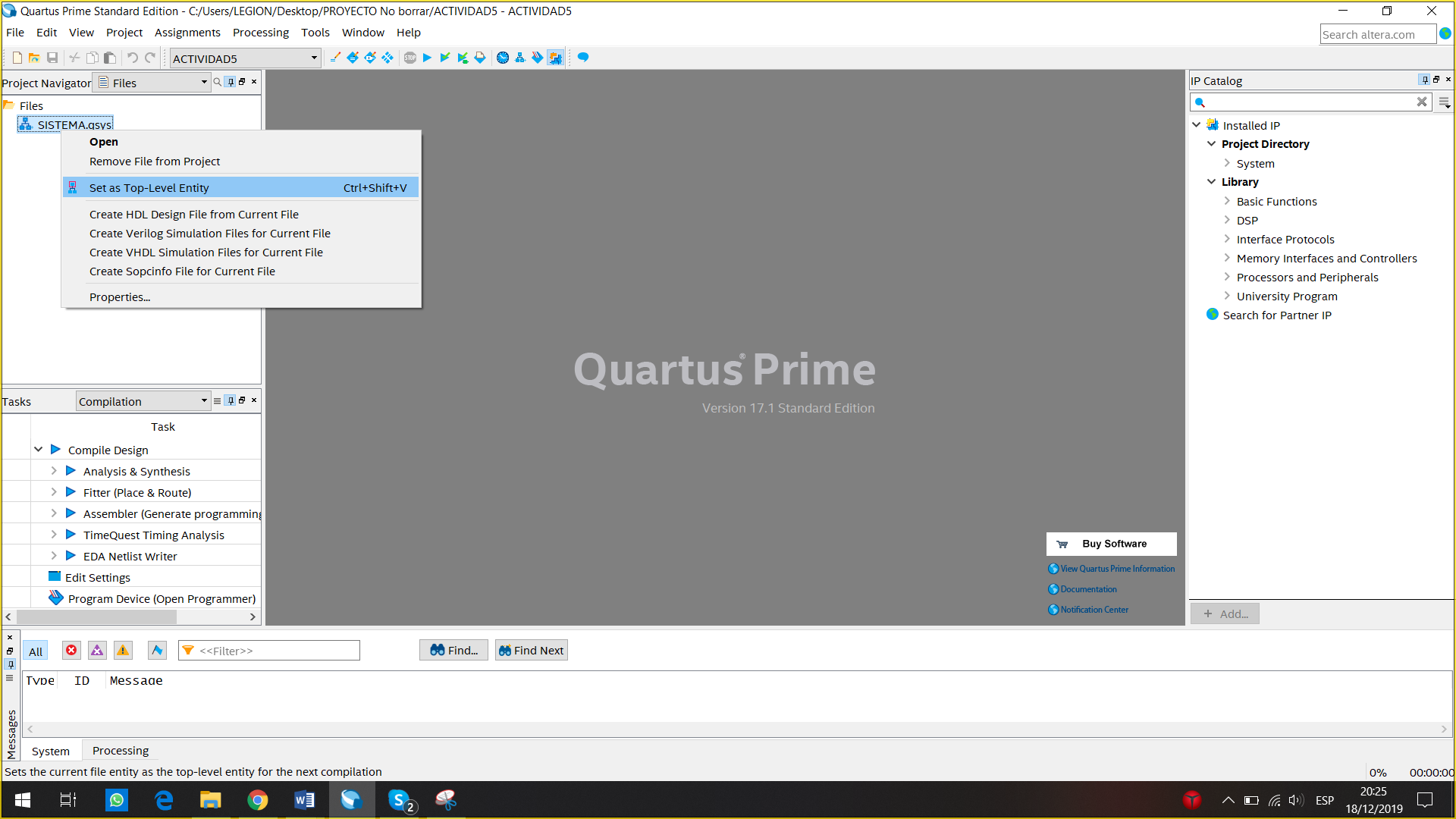


Ilustración 19: Establecer orden de prioridad

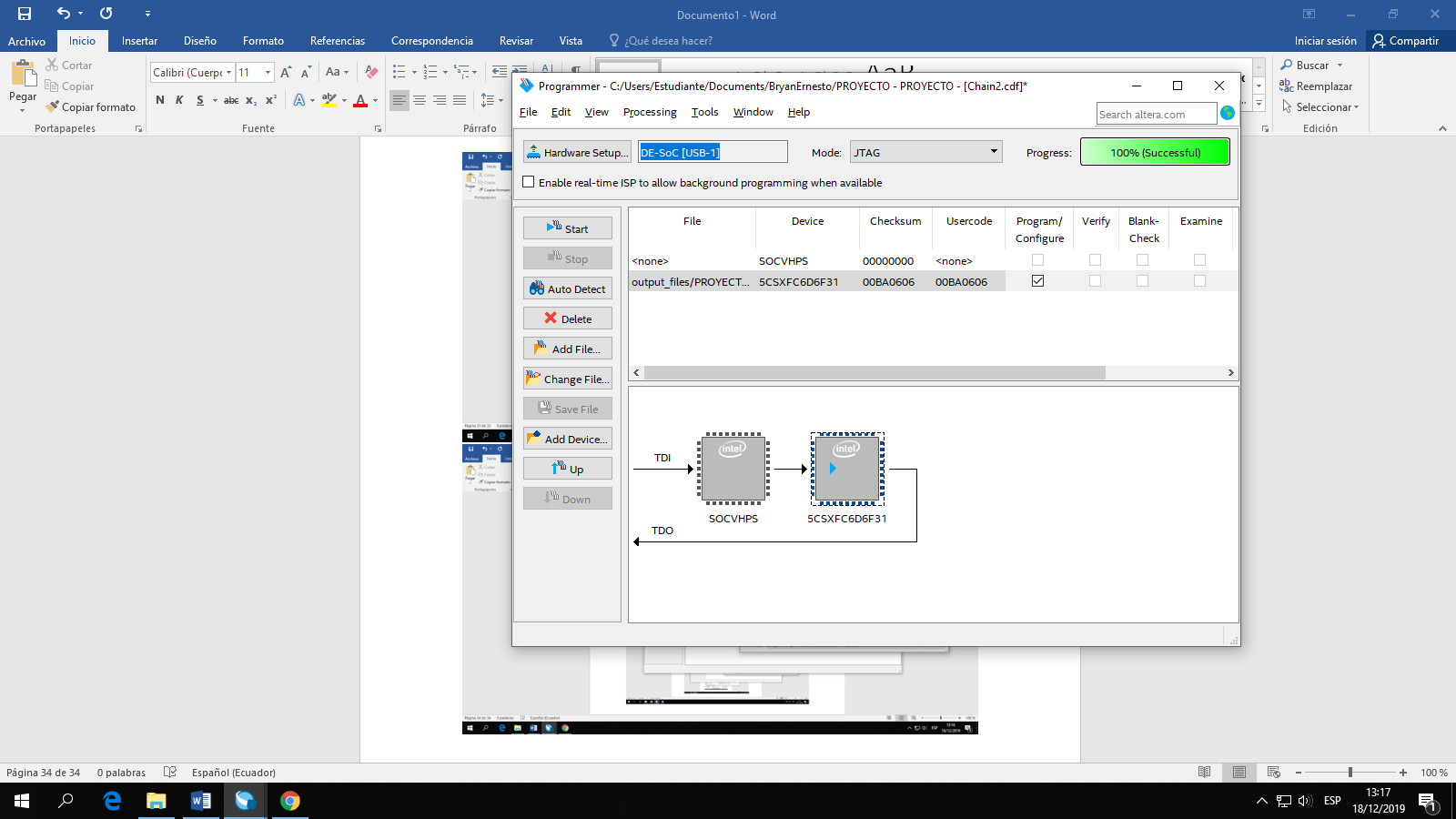


Ilustración 20: Cargar la configuración en la FPGA

1. Por último, se crea un archivo en la herramienta Eclipse para mostrar si la arquitectura del hardware se realizó de forma correcta.

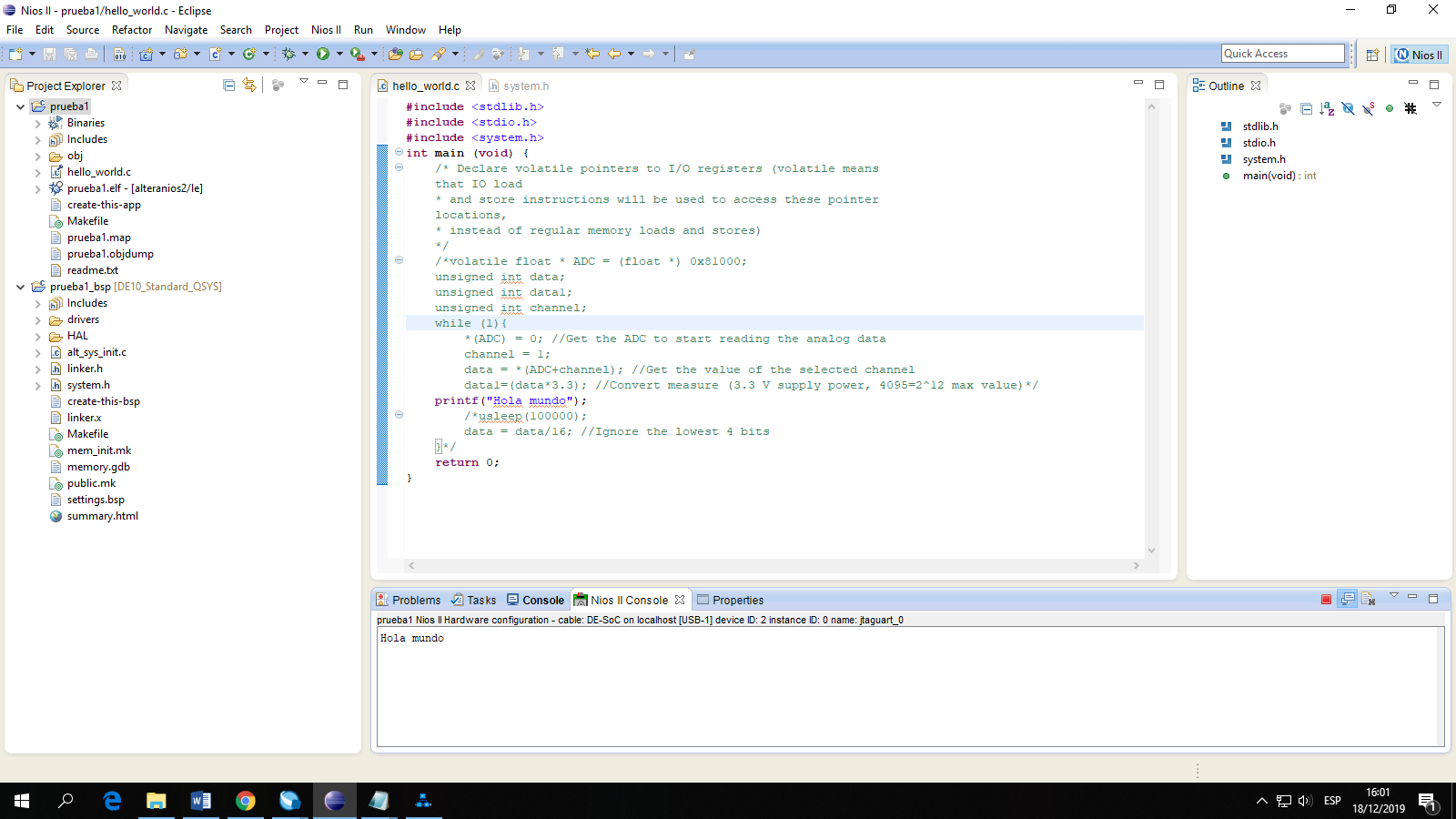


Ilustración 21: Construcción del proyecto